

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112291

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 21/66

G01N 27/00

(21)Application number : 04-280832

(71)Applicant : DAINIPPON SCREEN MFG CO LTD

(22)Date of filing : 25.09.1992

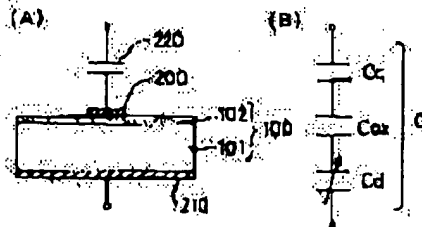
(72)Inventor : HIRAE SADA
KONO MOTOHIRO
SAKAI TAKAMASA

(54) MEASUREMENT OF LIFE TIME OF MINORITY CARRIER OF SEMICONDUCTOR

(57)Abstract:

PURPOSE: To measure the life time of minority carriers of a semiconductor in a short time.

CONSTITUTION: Capacitors are in series connected on the sides of the insulating films 102 of the semiconductor wafers 100. The DC components of voltage piled with high frequency signals are impressed on the in series connection of the semiconductor wafers 100 and the capacitors 220 while being changed in steps so as to measure a temporal change of the synthetic capacity to be obtained thereby. The life time of the minority carriers in the semiconductor substrate can be found out basing on a temporal change of this synthetic capacity.



LEGAL STATUS

[Date of request for examination] 07.12.1995
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] abandonment
 [Date of final disposal for application] 29.07.1999
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C), 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-112291

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/86

M 7377-4M

G 0 1 N 27/00

Z 7414-2J

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-280832
(22)出願日 平成4年(1992)9月25日

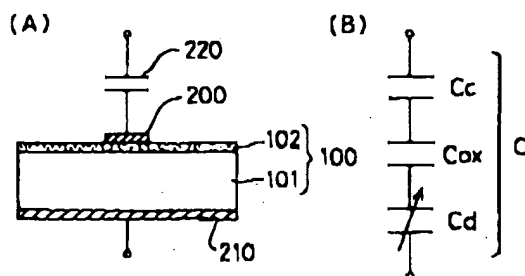
(71)出願人 000207551
大日本スクリーン製造株式会社
京都府京都市上京区堀川通寺之内上る4丁
目天神北町1番地の1
(72)発明者 平博 貞雄
京都市伏見区羽東師古川町322番地 大日
本スクリーン製造株式会社洛西工場内
(72)発明者 河野 元宏
京都市伏見区羽東師古川町322番地 大日
本スクリーン製造株式会社洛西工場内
(72)発明者 坂井 高正
京都市伏見区羽東師古川町322番地 大日
本スクリーン製造株式会社洛西工場内
(74)代理人 弁理士 五十嵐 孝雄 (外1名)

(54)【発明の名称】 半導体の少数キャリアのライフタイム測定方法

(57)【要約】

【目的】 半導体の少数キャリアのライフタイムを短時間に測定する。

【構成】 半導体ウエハ100の絶縁膜102側にコンデンサ220を直列に接続する。半導体ウエハ100とコンデンサ220の直列接続に対して、高周波信号が重畳された電圧の直流成分をステップ状に変化させて印加し、これによって得られる合成容量の時間変化を測定する。この合成容量の時間変化に基づいて、半導体基板中における少数キャリアのライフタイムを求める。



(2)

特開平6-112291

1

【特許請求の範囲】

【請求項1】 半導体基板の表面に絶縁膜を有する半導体ウエハにおける少数キャリアのライフタイムを測定する方法であって、

前記半導体ウエハの前記絶縁膜側にコンデンサ部を直列に設け、

前記半導体ウエハと前記コンデンサ部の直列結合に対し、高周波信号が重畳された電圧の直流成分をステップ状に変化させて印加し、これによって得られる前記直列結合の合成容量の時間変化を測定し、

前記合成容量の時間変化に基づいて、前記半導体基板中における少数キャリアのライフタイムを求めることを特徴とする少数キャリアのライフタイム測定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体の少数キャリアのライフタイム測定方法に関する。

【0002】

【従来の技術】半導体基板中の格子欠陥は半導体装置の特性に大きな影響があるため、基板中の格子欠陥の評価が半導体装置の製造工程における重要な試験項目の一つになっている。半導体基板中の結晶欠陥を評価するため*

$$-\frac{q N_d \epsilon_0 \epsilon_s}{2 C_{ox}} \cdot \frac{d}{dt} \left(\frac{C_{ox}}{C} \right)^2 = \frac{q n_i \epsilon_0 \epsilon_s}{T_g C_{inv}} \left(\frac{C_{inv}}{C} - 1 \right) + q s n_i$$

| | |
|------|--------------------|
| q | 電子の電荷量 |
| Nd | 不純物濃度 |
| ε0 | 真空の誘電率 |
| εs | 半導体の比誘電率 |
| Cox | 絶縁膜（酸化膜）の容量 |
| C | MIS構造の合成容量 |
| Cinv | MIS構造の反転状態における合成容量 |
| ni | 真性キャリア濃度 |
| Tg | 少数キャリアのライフタイム |
| s | 表面再結合速度 |

数式1によれば、 (C_{ox}/C) の2乗の時間変化の傾きと $(C_{inv}/C-1)$ の値とが直線関係にあるので、その傾きから少数キャリアのライフタイム τ_q を求めることができる。なお、ゼルブスト法については、ゼルブストによる文献(M. Zerbst, Z. Angew. Phys. Vol. 22, p. 30, 1966)に詳述されている。

【0005】

【発明が解決しようとする課題】従来の方法では、図9

2

*に、従来から、結晶欠陥の密度と相関のある少数キャリアのライフタイムが測定されている。少数キャリアのライフタイムを測定する方法としては、いわゆるゼルブスト(Zerbst)法が有名である。

【0003】図8は、ゼルブスト法による従来のC-t測定の方法を示す概念図である。図8(A)において、半導体基板101の表面に絶縁膜102(酸化膜)が形成された半導体ウエハ100上に第1の電極200が形成され、いわゆるMIS構造が形成されている。また、半導体基板101の裏面には第2の電極210が形成されている。ゼルブスト法では、第1の電極200と第2の電極210の間に高周波信号が重畳された電圧を印加し、その直流成分(バイアス電圧)を図8(B)に示すようにステップ状に変化させた後、図8(C)に示すようなMIS構造の容量の時間変化を測定する(以下、この測定を「C-t測定」と呼ぶ)。そして、得られた容量の時間変化に基づいて少数キャリアのライフタイムを算出する。

【0004】C-t測定における容量の時間変化は次式で与えられる。

【数1】

からも解るように容量の時間変化の測定に10分あまりの時間を要しており、測定作業の効率が悪いという問題があった。図8にも示すように、バイアス電圧の絶対値を小さくすれば測定時間を短縮することができる。ところが、バイアス電圧の絶対値を小さくすると、絶縁膜と半導体基板の界面において少数キャリアを消滅させる機構が支配的になり、上記の数式1の右辺第2項($q s n_i$)の値が大きくなる。このため、 (C_{ox}/C) の2乗

(3)

特開平6-112291

3

の時間変化の傾きと($C_{inv}/C-1$)との直線関係が不明瞭になり、セルフスト法によってライフタイムを算出するのが困難になるという問題があった。

【0006】この発明は、従来技術における上述の課題を解決するためになされたものであり、少数キャリアのライフタイムを短時間に測定することのできる方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上述の課題を解決するため、この発明による少数キャリアのライフタイム測定方法では、前記半導体ウェハの前記絶縁膜側にコンデンサ部を直列に設け、前記半導体ウェハと前記コンデンサ部の直列結合に対し、高周波信号が重畳された電圧の直流成分をステップ状に変化させて印加し、これによって得られる前記直列結合の合成容量の時間変化を測定し、前記合成容量の時間変化に基づいて、前記半導体基板中における少数キャリアのライフタイムを求める。

【0008】なお、ここで言う「コンデンサ部」とは、いわゆるコンデンサの他に、コンデンサとして機能する他の要素、例えば絶縁膜と電極との間に設けられたギャップなどにも解釈される用語である。また、「結合」とは物理的、電気的に接続されている場合のみでなく、上記のギャップなどのように、等価回路として見た場合に電気的に接続されている場合をも指す用語である。

【0009】

【作用】半導体ウェハの絶縁膜側にコンデンサ部を直列に設けると、バイアス電圧をステップ状に変化させた直後において半導体基板に印加される電圧成分が比較的大きくなり、この結果、空乏層領域が広がって少数キャリアの発生が促進されると推測される。

【0010】

【実施例】A. 測定方法の基本的な考え方

図1は、本発明による少数キャリアのライフタイムの測定方法で使用される基本的な構成を示す概念図である。図1(A)において、半導体基板101の表面には絶縁膜102(酸化膜)が形成されており、絶縁膜102の上には電極200が形成されている。この構造はいわゆるMIS構造である。また、半導体基板101の裏面にも電極210が形成されている。さらに、電極200にはコンデンサ220が直列に接続されている。

【0011】図1(B)は、図1(A)の構造の等価回路を示している。この等価回路は、半導体基板101に形成される空乏層の容量 C_d と、絶縁膜102の容量 C_{ox} と、コンデンサ220の容量 C_c との直列接続で表わされる。セルフスト法で測定されるのは、これらの直列接続の合成容量 C の時間変化である。このように、絶縁膜102の側にコンデンサ220を直列に接続することによって、以下に示すように、 $C-t$ 測定に要する時間を従来に比べて顕著に短縮することができる。

【0012】図1のようにコンデンサ220を設けた場

4

合の $C-t$ 測定と、図8に示したコンデンサが無い場合の従来の $C-t$ 測定とについて比較する。合成容量 C の時間変化は、数式1のように非線形微分方程式で与えられるので、合成容量 C の解析解を求めることはできない。しかし、初期条件を仮定することによって合成容量 C の時間変化を数値シミュレーションすることは可能である。そこで、上記数式1において、少数キャリアのライフタイム τ_q と、表面再結合速度 s とを仮定し、従来の $C-t$ 測定の結果で得られた合成容量 C の初期値 $C(t_0)$ を用いて、容量 C の時間変化を数値解析によって逐次算出した。なお、コンデンサ220を設けた場合の $C-t$ 曲線を算出する際には、数式1において絶縁膜の容量 C_{ox} の代わりに、絶縁膜102とコンデンサ220との合成容量を使用する。

【0013】図2は、 n 型半導体について上記の数値シミュレーションを行なって得られた結果を示すグラフである。図2において、上方にある2本の曲線はコンデンサ220を設けない場合の $C-t$ 曲線であり、測定に要する時間は約500~700秒である。一方、下方にある2本の曲線はコンデンサ220を設けた場合の $C-t$ 曲線であり、測定に要する時間は約100~150秒である。このように、コンデンサ220を設けることによって $C-t$ 測定に要する時間が約1/5に短縮される。なお、コンデンサ220を設けた場合のバイアス電圧 V_{bias} ($=-1.2V, -1.8V$)は、十分に時間が経過した後(約150秒後)において半導体100部分にかかる電圧が、コンデンサが無い場合(図8(A))のバイアス電圧($=-2V, -3V$)と等しくなるように設定した。上述したように、このシミュレーションでは少数キャリアのライフタイム τ_q の値自体を仮定しているので、コンデンサ220がある場合の曲線はライフタイム τ_q を正確に反映したものである。言い換えれば、コンデンサ220を設けた場合に $C-t$ 曲線の測定時間が短くなるが、このような短時間の測定結果からも、従来と同等な精度でライフタイム τ_q を算出することができる。

【0014】コンデンサを設けることによって測定時間が短縮される理由は次のようなものと推定される。上述したように、コンデンサ220を設けた場合に最終的に半導体100部分にかかるバイアス電圧を、コンデンサが無い場合のバイアス電圧と等しくなるように設定しているので、十分に時間が経過した後反転伏脱に達した時点では、半導体基板101と絶縁膜102の界面に蓄積される少数キャリアの量は両者とも同じである。コンデンサの有無に起因する大きな違いは、バイアス電圧をステップ状に変化させた直後(図2の時間0、図8(C)の時間 t_0)における空乏層の広がりである。図2の時間0において、コンデンサが無い場合には半導体基板101にかかるバイアス電圧は約-2.7Vであり、この電圧に応じた空乏層が形成される。一方、

(4)

特開平6-112291

5

コンデンサがある場合には、半導体基板101にかかるバイアス電圧は約 -12V である。すなわち、コンデンサを設けた場合の方が空乏層が、より広い領域に亘って形成される。少数キャリアは空乏層内で発生するので、空乏層領域が広いとその中で生成される少数キャリアの量がこれに比例して増大し、半導体基板/絶縁膜界面に達する少数キャリアも増大すると考えられる。そして、この結果、半導体基板/絶縁膜界面に所定量の少数キャリアが蓄積されるのに要する時間（すなわち、 $C-t$ 測定に要する時間）が短くなるものと推定される。

【0015】B. 第1の実験例

図3は、実際にn型半導体について $C-t$ 測定を行なった結果を示すグラフである。コンデンサ220としては、空気以外の誘電物質を含まない可変コンデンサ（エアバリコン）を用い、その容量値を 25.9pF に設定した。図9の例では、約 $180\sim 250$ 秒で測定が終了しており、図9に示す従来の測定結果に比べて測定時間が約 $1/3$ に短縮されている。図3のグラフからいわゆるセルフストロブプロットを行ない、少数キャリアのライフタイム τ_q として 1.3msec という値が得られた。この値は、従来の方法により求めら得た値とほぼ同じであり、妥当な結果である。

【0018】なお、コンデンサ220としてはエアバリコン以外のコンデンサも使用することができる。しかし、空気以外の誘電物質を含む場合には、電圧変化に対する容量のヒステリシスが無視できない場合があり、これが $C-t$ 測定に影響を与える可能性がある。従って、コンデンサ220としては空気以外の誘電物質を含まないものが好ましい。

【0017】C. 第2の実験例

図4は、この発明を適用した $C-t$ 測定方法に使用する他の構成を示す概念図である。図4(A)において、絶縁膜102の上方にギャップdairを介して電極201が保持されており、この電極201と半導体表面の電極210との間に高周波成分を含むバイアス電圧が印加される。

【0018】図4(B)は、図4(A)の構造の等価回路を示している。この等価回路は、図1(B)の等価回路のコンデンサの容量 C_c をギャップの容量 C_{air} に置き換えたものと同じである。すなわち、図4(A)におけるギャップdairは図1(A)におけるコンデンサ220と同じ役割を有する。

【0019】図5は、図4(A)に示す構成を実現しつつ $C-t$ 測定を行なう非接触測定装置の構成を表す概念図である。この非接触測定装置は、固定台1と、固定台1の下部に設置された圧電アクチュエータ2と、圧電アクチュエータ2のさらに下部に設置された架台3とを備えている。架台3の底面にはプリズム4が設置されている。また、架台3の一方の斜面にはGaAlAsレーザなどのレーザ発振器5が固定され、他方の斜面にはフ

6

ォトダイオードなどの受光センサ6が固定されている。

【0020】プリズム4の底面4aは、半導体ウエハ100を載置する試料台7の表面（平行な平面（ xy 平面））と平行に設置されている。プリズム4の底面4aには、リング状の測定用電極201が形成されている。プリズム4の下方には、ギャップGを介して半導体ウエハ100が試料台7上に保持されており、半導体ウエハ100の表面100aがプリズム4の底面4aとほぼ平行になるように設定されている。この非接触測定装置では、特開平4-132236号公報に詳述されているように、プリズム4の底面4aで全反射されるレーザ光のトンネル効果を利用することによって、ギャップGおよびdairの値を測定している。

【0021】圧電アクチュエータ2には位置制御装置11が接続されており、位置制御装置11から与えられる電圧に応じて架台3を2方向に移動させる。受光センサ6には光量測定器12が接続され、測定用電極201と金属製の試料台7にはインピーダンスメータ13がそれぞれ接続されている。インピーダンスメータ13は、測定用電極201と試料台7との間の合成容量を測定する機器である。位置制御装置11と光量測定器12とインピーダンスメータ13は、ホストコントローラ14に接続されており、このホストコントローラ14によって測定装置全体の制御や、得られたデータの処理が行なわれる。なお、ホストコントローラ14としては、例えばパーソナルコンピュータが用いられる。

【0022】図6は、図5の装置を用いてn型半導体の $C-t$ 測定を行なった結果を示すグラフである。ここで用いたn型半導体は、図3の測定に用いたものと同じである。なお、電極201と半導体ウエハ100との間のギャップdairは 350nm に設定された。図6の例では、約 $90\sim 40$ 秒で測定が終了しており、図9に示す従来の測定結果に比べて測定時間が約 $1/20$ に短縮されている。図6のグラフからセルフストロブプロットを行ない、少数キャリアのライフタイム τ_q として 1.2msec という妥当な結果が得られた。

【0023】D. 変形例

なお、この発明は上記実施例に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0024】(1) 図7(A)に示すように、電極201の下表面に絶縁膜230を形成したものを準備し、これを図7(B)に示すように半導体の絶縁膜102の上に押しつけることにより、図1(A)および図4(A)と等価な構成を形成するようにしてもよい。このようにすれば、絶縁膜230付きの電極201を半導体表面に押しつけるだけでよいので測定の準備が簡単であり、従って、全体としてより短時間で測定することができるといふ利点がある。

(5)

特開平6-112291

7

8

【0025】

【発明の効果】以上説明したように、本発明の測定方法によれば、半導体の少数キャリアのライフタイムを短時間に測定することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の測定方法に使用される基本的な構成を示す概念図。

【図2】数値シミュレーションで得られたC-t曲線を示すグラフ。

【図3】図1の構成を用いてC-t測定を行なった結果を示すグラフ。

【図4】この発明を適用した他の構成を示す概念図。

【図5】図4に示す構成を実現しつつC-t測定を行なう非接触測定装置の構成を示す概念図。

【図6】図4の構成を用いてC-t測定を行なった結果を示すグラフ。

【図7】この発明を適用したさらに他の構成を示す概念図。

【図8】従来のC-t測定の方法を示す概念図。

【図9】従来のC-t測定により得られた結果を示すグラフ。

【符号の説明】

1…固定台

2…圧電アクチュエータ

* 3…架台

4…プリズム

4a…底面

5…レーザ発振器

6…受光センサ

7…試料台

11…位置制御装置

12…光量測定器

13…インピーダンスメータ

14…ホストコントローラ

100…半導体ウエハ

101…半導体基板

102…絶縁膜

200, 201, 210…電極

220…コンデンサ

230…絶縁膜（酸化膜）

Cair…ギャップの容量

Cc…コンデンサの容量

Cd…空乏層の容量

Cox…絶縁膜の容量

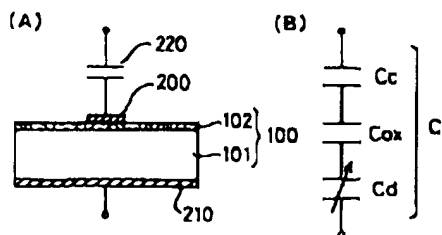
C…合成容量

dair…ギャップ

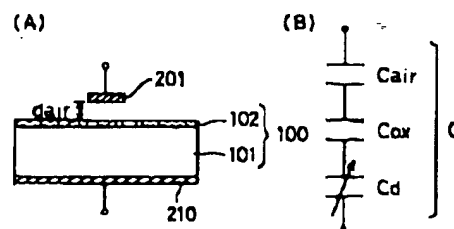
Vbias…バイアス電圧

*

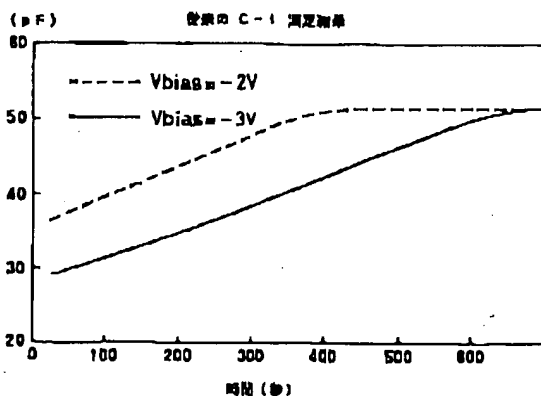
【図1】



【図4】



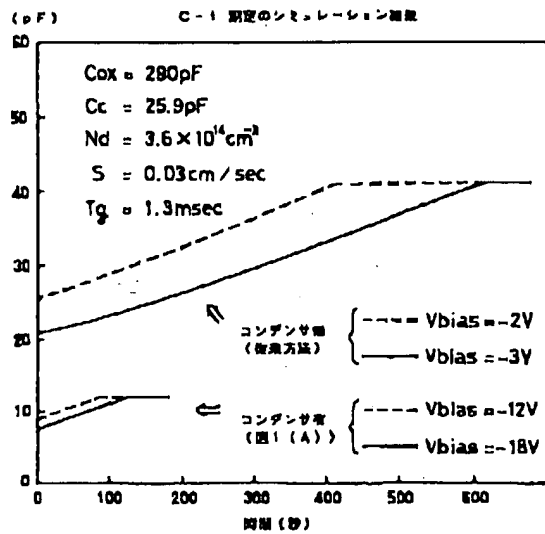
【図9】



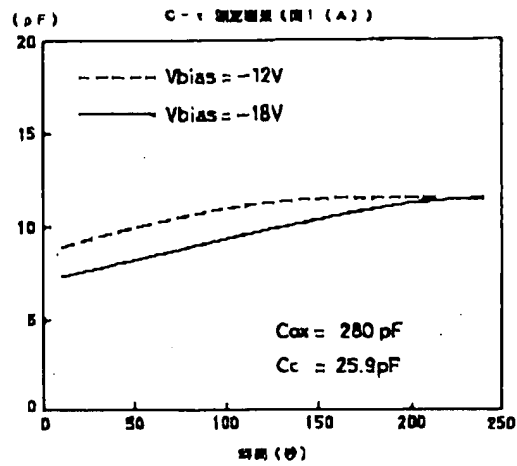
(6)

特開平6-112291

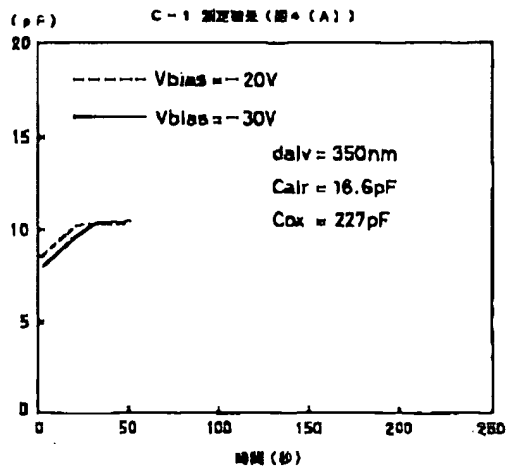
【図2】



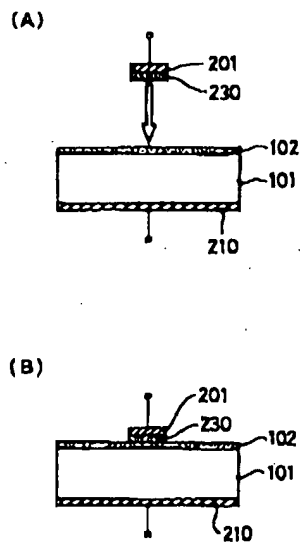
【図3】



【図6】



【図7】

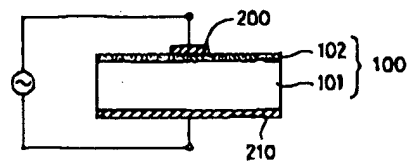


(8)

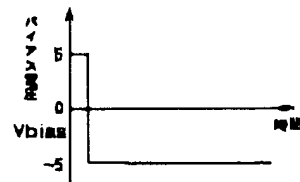
特開平8-112291

【図8】

(A)



(B)



(C)

